

기억장치 (1)

컴퓨터구조론 5장 전반부



5.1 기억장치의 분류와 특성



- 기억장치 액세스(memory access) :
 - CPU가 정보를 기억장치에 쓰거나 기억장치로부터 읽는 동작
- 기억장치의 액세스 유형
 - **순차적 액세스**(sequential access) : 저장된 정보를 처음부터 순서대로 액세스하는 방식 [예: 자기 테이프]
 - **직접 액세스**(direct access) : 액세스할 위치 근처로 이동한 다음에, 순차적 검색을 통하여 최종 위치에 도달하는 방식 [예: 디스크, CD-ROM]
 - **임의 액세스**(random access) : 주소에 의해 직접 기억 장소를 찾아 액세스하며, 어떤 기억 장소든 액세스하는 시간이 동일 [예: 반도체 기억장치]
 - **연관 액세스**(associative access) : 저장된 내용의 특정 비트들을 비교하여, 일치하는 내용을 액세스 [예: 연관 기억장치(associative memory)]

컴퓨터시스템(기억장치)

기억장치의 설계, 전송/주소지정 단위



- 기억장치 시스템을 설계하는 데 있어서 고려해야 할 주요 특성들
 - 기억 용량(capacity)
 - 액세스 속도
- 전송 단위(unit of transfer) : 한 번의 기억장치 액세스에 의하여 읽거나 쓸 수 있는 비트 수
 - 주기억장치 : word 단위
 - 보조저장장치 : 블록단위 (512B 또는 1KB)
- 주소지정 단위(addressable unit) : 주소가 지정된 각 기억 장소 당 저장되는 데이터 길이
 - 바이트 단위
 - 워드 단위
 - 주소 비트의 수 A와 주소지정 단위의 수 N과의 관계 : $N = 2^A$

컴퓨터시스템(기억장치)

액세스 속도와 관련된 파라미터들



- 액세스 시간(access time) :
 - 주소와 쓰기/읽기 신호가 도착한 순간부터 데이터 액세스가 완료 되는 순간까지의 시간
- 기억장치 사이클 시간(memory cycle time)
 - = 액세스 시간 + 데이터 복원 시간(data restoration time)
- 데이터 전송률(data transfer rate) :
 - 기억장치로부터 초당 액세스 되는 비트 수(바이트수)
 - = (한 번에 읽혀지는 데이터 비트수) / (액세스 시간)
 - [예] 액세스 시간 = 100ns, 액세스 단위 = 32비트인 경우,
 데이터 전송률 = $32 / (100\text{ns}) = 320 \text{ Mbps}$
 = 40 MB/sec

컴퓨터시스템(기억장치)

기억장치의 유형



- 기억장치의 제조 재료에 따른 유형
 - **반도체 기억장치**(semiconductor memory) : 반도체 물질인 실리콘(Si) 칩을 이용한 기억장치
 - **자기-표면 기억장치**(magnetic-surface memory) : 자화 물질로 코팅된 표면에 정보를 저장하는 기억장치 [예: 디스크]
 - **광 저장장치** (optical storage device)
- 데이터를 저장하는 성질에 따른 유형
 - **휘발성 기억장치**(volatile memory) : 전원 공급이 중단되면 내용이 지워지는 기억장치 [예: RAM]
 - **비휘발성 기억장치**(nonvolatile memory) : 전원 공급에 관계없는 영구 저장장치 [예: ROM, 디스크, CD-ROM]
- **삭제불가능 기억장치**(non-erasable memory) :
 - 내용 변경이 불가능한 기억장치 [예: ROM]

5.2 계층적 기억장치시스템



- 필요성 및 효과
 - **필요성**: 기억장치들은 속도, 용량 및 가격 측면에서 매우 다양
 - **효과**: 기억장치시스템의 성능 대 가격비 향상
- 기억장치 특성들간의 관계
 - 액세스 속도가 높아질수록, 비트당 가격은 높아진다
 - 용량이 커질수록, 비트당 가격은 낮아진다
 - 용량이 커질수록, 액세스 시간은 길어진다
- 계층적 기억장치시스템의 구성 방법
 - 첫 번째(상위) 계층 기억장치 : 속도가 빠르지만 가격은 높은 기억장치 사용
 - 두 번째(하위) 계층 기억장치 : 속도는 느리지만 가격은 낮은 기억장치 사용

계층적 기억장치 효과의 예



- 예
 - 첫 번째 계층 기억장치의 액세스 시간 = 10ns
 - 두 번째 계층 기억장치의 액세스 시간 = 100ns
 - 액세스할 정보가 첫 번째 계층에 있을 확률 = 60 %
 - 평균 기억장치 액세스 시간 = $(0.6 \times 10ns) + (0.4 \times 100ns) = 46ns$
 - 데이터가 첫 번째 계층에 있는 비율에 따른 평균 액세스 시간의 변화

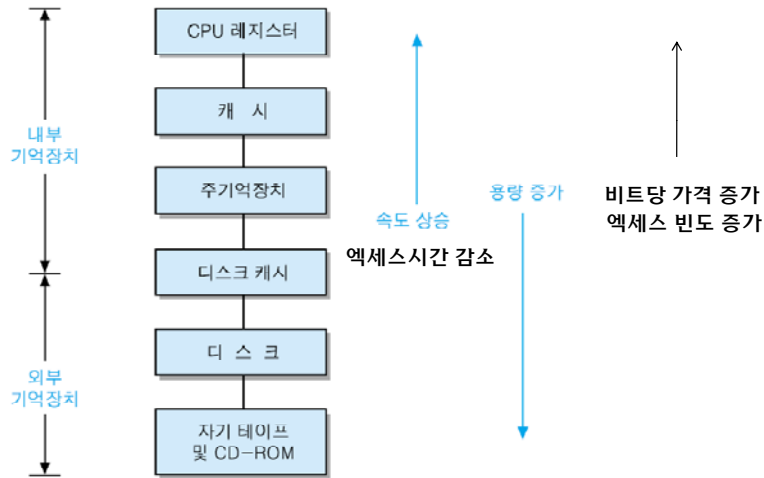
비율	평균 액세스 시간
20%	82ns
40%	64ns
60%	46ns
80%	28ns
100%	10ns

지역성의 원리(principle of locality)



- 지역성의 원리
 - 기억장치의 액세스가 몇몇 특정 영역에 집중되는 현상
- 짧은 시간을 기준으로 보면, 프로세서가 기억장치의 한정된 몇몇 위치들을 집중적으로 액세스하면서 작업을 수행
 - **공간적 지역성**: 현재 액세스 한 위치 근처를 많이 액세스함
 - **시간적 지역성**: 현재 액세스한 위치를 다시 액세스 할 가능성이 큼
- 지역성 원리를 사용하여 두 번째 계층의 기억장치의 내용을 첫 번째 계층으로 복사하는 경우
 - 첫 번째 계층의 기억장치에 대한 액세스 횟수가 두 번째 계층의 기억장치에 대한 액세스보다 훨씬 더 많음
 - 평균 기억장치 액세스 시간이 단축됨

기억장치 계층



컴퓨터시스템(기억장치)

기억장치 계층 (계속)

- 내부 기억장치(internal memory) :
 - CPU가 직접 액세스할 수 있는 기억장치들
 - [예] CPU 레지스터, 캐시 기억장치, 주기억장치, 디스크 캐시
- 외부 기억장치(external memory) :
 - CPU가 직접 액세스할 수 없고, 장치 제어기(device controller)를 통해서만 액세스할 수 있는 기억장치들
 - [예] 디스크, CD-ROM

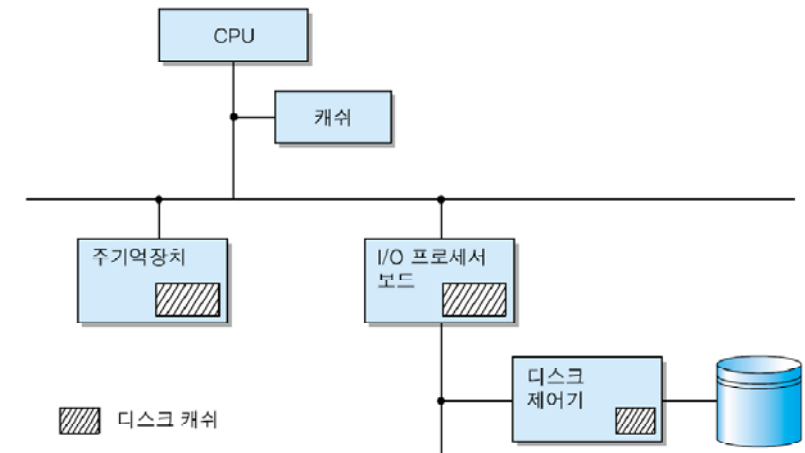
컴퓨터시스템(기억장치)

캐시 기억장치 / 디스크 캐시

- 캐시 기억장치(cache memory) :
 - 주기억장치에 대한 평균 액세스 시간을 감소시키기 위하여 지역성 원리에 의하여 주기억장치 내용의 일부를 복사하여 저장하는
 - CPU(레지스터)와 주기억장치 사이에 설치하는 고속의 반도체 기억장치
- 디스크 캐시(disk cache)
 - 디스크에 대한 평균 액세스 시간을 감소시키기 위하여 디스크 내용의 일부를 복사하여 저장하는
 - 디스크의 상위 계층에 설치하는 반도체 기억장치
 - (위치) 주기억장치, 제어기 보드, I/O 프로세서 보드
- 주기억장치로부터 디스크로 저장할 정보들도 일시적으로 저장하는 버퍼 역할도 수행

컴퓨터시스템(기억장치)

디스크 캐시의 위치



컴퓨터시스템(기억장치)

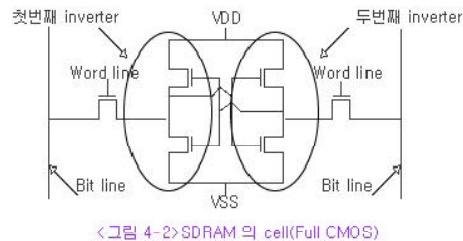
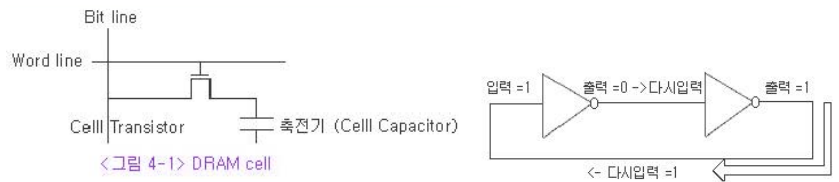
5.3 반도체 기억장치

- RAM(Random Access Memory)
 - 데이터 읽기와 쓰기가 모두 가능한 반도체 집적회로 기억장치
 - 임의 액세스 방식
 - 휘발성(volatile) : 전원 공급이 중단되면 내용이 지워짐
- ROM(Read Only Memory)
 - 읽기 전용의 영구 저장이 가능한 반도체 기억장치
 - 비휘발성
 - 쓰는 것은 불가능하거나 특별한 방법을 사용해야 함

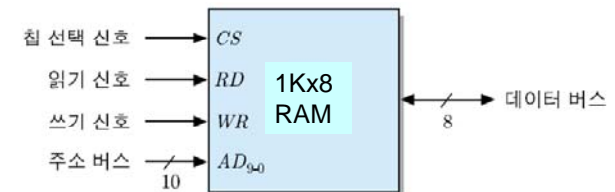
제조 기술에 따른 분류

- DRAM (Dynamic RAM)
 - 캐패시터(capacitor)에 전하(charge)를 충전하는 방식으로 데이터를 저장함 → 집적 밀도가 높다
 - 데이터의 저장 상태를 유지하기 위하여 주기적인 재충전(refresh) 필요 (읽을 때에도 재충전을 함)
 - 집적 밀도가 더 높으며, 같은 용량의 SRAM 보다 가격이 더 싸다
 - (주용도) 용량이 큰 주기억장치로 사용
- SRAM (Static RAM)
 - 기억 소자로서 플립플롭(flip-flop)을 이용 → 집적 밀도가 낮다.
 - 재충전 없이도 데이터를 계속 유지 가능
 - DRAM보다 다소 더 빠르다
 - (주용도) 빠른 속도가 필요한 캐시 기억장치로 사용

DRAM/SRAM 셀 구조



1K x 8 RAM 칩과 제어 신호들



(a) RAM의 블록 선도

CS	RD	WR	RAM의 동작
0	X	X	선택되지 않음
1	1	0	읽기 동작
1	0	1	쓰기 동작

(b) 제어 신호들에 따른 RAM의 동작

Example SRAM

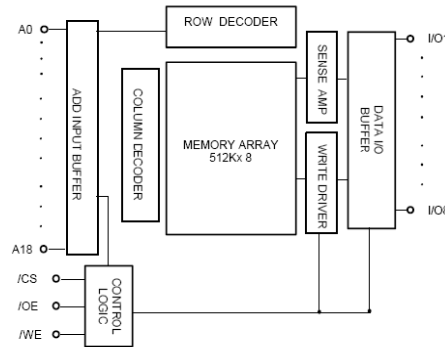


HY62U8400A Series
512Kx8bit CMOS SRAM

PIN DESCRIPTION

Pin Name	Pin Function
/CS	Chip Select
/WE	Write Enable
/OE	Output Enable
A0 ~ A18	Address Input
I/O1 ~ I/O8	Data Input/Output
Vcc	Power(2.7~3.3V)
Vss	Ground

BLOCK DIAGRAM

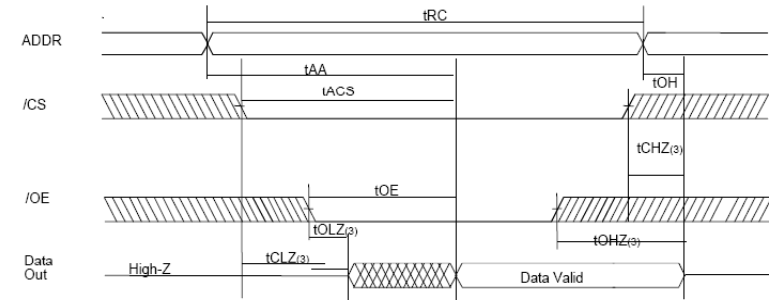


컴퓨터시스템(기억장치)

Timing Diagram - Read



READ CYCLE 1(Note 1,4)



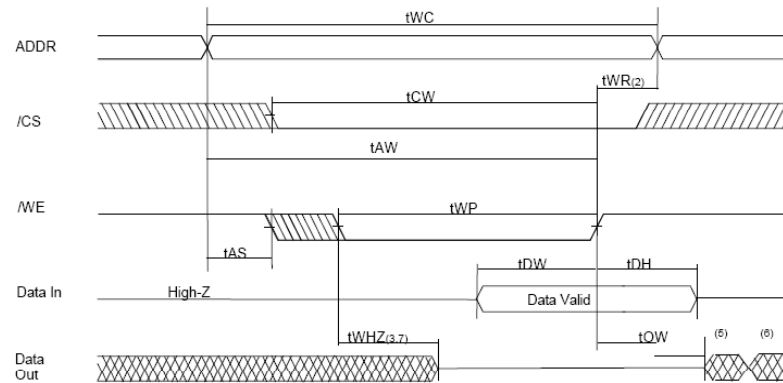
#	Symbol	Parameter	-70*		-85		-10		Unit
			Min.	Max.	Min.	Max.	Min.	Max.	
READ CYCLE									
1	tRC	Read Cycle Time	70	-	85	-	100	-	ns
2	tAA	Address Access Time	-	70	-	85	-	100	ns
3	tACS	Chip Select Access Time	-	70	-	85	-	100	ns
4	tOE	Output Enable to Output Valid	-	40	-	45	-	50	ns

컴퓨터시스템(기억장치)

Timing Diagram - Write



WRITE CYCLE 1(1,4,5,8) (/WE Controlled)



WRITE CYCLE									
10	tWC	Write Cycle Time	70	-	85	-	100	-	ns
11	tCW	Chip Selection to End of Write	60	-	70	-	80	-	ns
12	tAW	Address Valid to End of Write	60	-	70	-	80	-	ns

컴퓨터시스템(기억장치)

RAM의 내부 조직

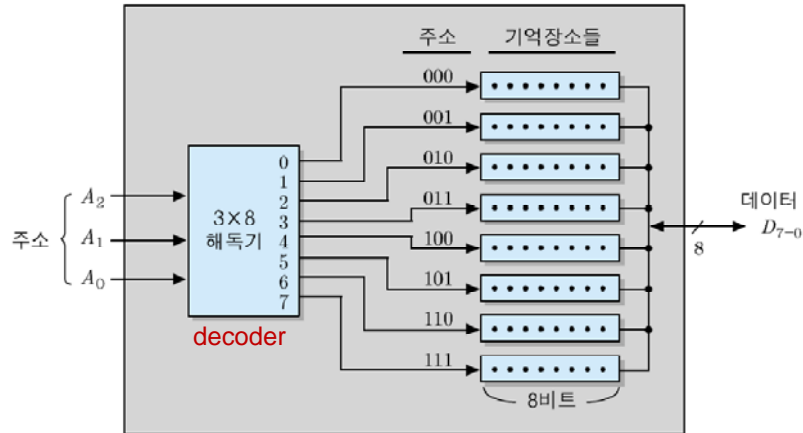


- 기억장소당 비트 수에 따라서 다양한 내부 조직 구성 가능
- (예) 64 비트 RAM의 내부 조직
 - (주소 수) x (기억장소당 비트 수)
 - 8 x 8 비트
 - 16 x 4 비트
 - 64 x 1 비트

컴퓨터시스템(기억장치)

64-bit RAM의 내부 조직 : 8x8비트 조직

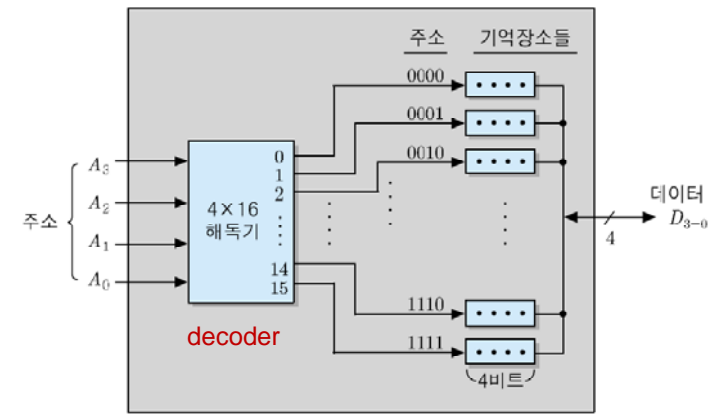
- 8비트로 이루어진 8개의 기억 장소들로 구성
- 3 개의 주소 비트들이 필요 ($2^3 = 8$)



컴퓨터시스템(기억장치)

64-bit RAM의 내부 조직 : 16x4 조직

- 4비트로 이루어진 16 개의 기억 장소들로 구성
- 4 개의 주소 비트들이 필요 ($2^4 = 16$)

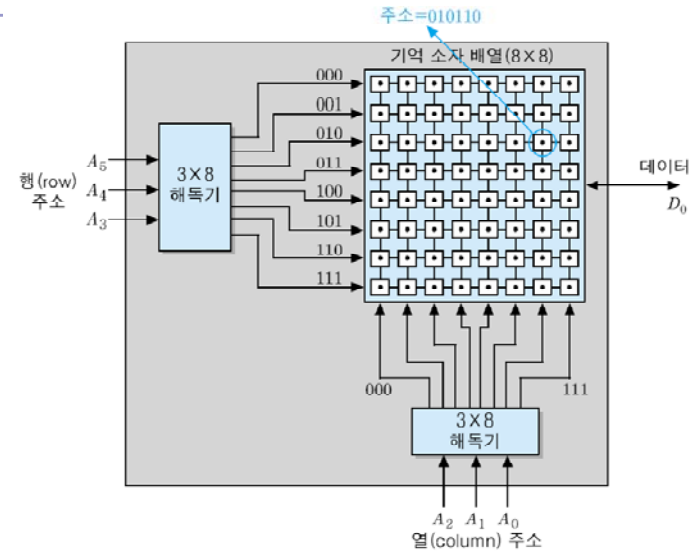


컴퓨터시스템(기억장치)

64-bit RAM의 내부 조직: 64x1 조직

- 한 비트 씩 저장하는 64 개의 기억 장소들로 구성
- 6개의 주소 비트들이 필요 ($2^6 = 64$)
- 한 개의 6x64 해독기 대신에 두 개의 3x8 해독기를 사용
 - 상위 3 비트들은 8개의 행(row)들 중에서 한 개를 선택하고,
 - 하위 3 비트들은 8개의 열(column)들 중에서 한 개를 선택

64x1 조직 (계속)



컴퓨터시스템(기억장치)

컴퓨터시스템(기억장치)

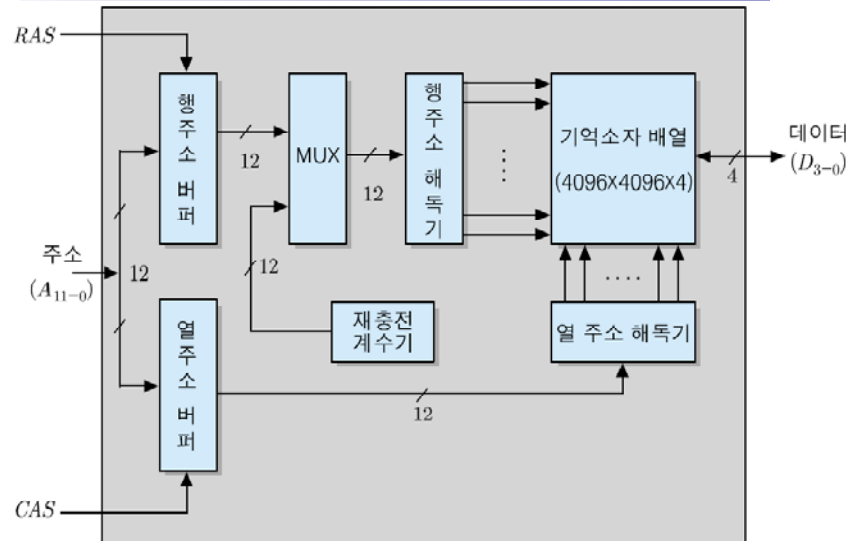
용량에 따른 주소 비트 수

- [예] 8Kbit RAM
 - 1K × 8비트 조직인 경우, 주소 = 10비트 필요
 - 2K × 4비트 조직인 경우, 주소 = 11비트 필요
 - 8K × 1비트 조직인 경우, 주소 = 13비트 필요
- [예] 1Mbit RAM
 - 128K × 8비트 조직인 경우, 주소 = 17비트 필요
 - 256K × 4비트 조직인 경우, 주소 = 18비트 필요
 - 1M × 1비트 조직인 경우, 주소 = 20비트 필요
- [예] 1Gbit RAM
 - 128M × 8비트 조직인 경우, 주소 = 27비트 필요
 - 256M × 4비트 조직인 경우, 주소 = 28비트 필요
 - 1G × 1비트 조직인 경우, 주소 = 30비트 필요

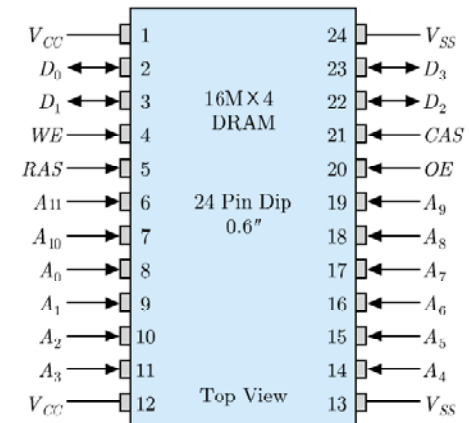
64M(2^{26}) DRAM 내부 조직: 16Mx4 조직

- 기억 소자들이 $4096 \times 4096 \times 4$ 비트 형태로 배열
 - $4096(2^{12})$ 개의 열과 $4096(2^{12})$ 개의 행들로 이루어진 장방형 구조
 - 각 기억 장소에는 4 개의 데이터 비트들을 저장
- 기억 장소의 수 = 16M 개
 - 전체 24비트의 주소 선들이 필요
 - 주소 선을 12개를 사용하며 행 주소와 열 주소가 공유하여 사용
 - RAS(Row Address Strobe) 신호와 CAS(Column Address Strobe) 신호를 이용하여 행 주소, 열 주소를 분리하여 저장함

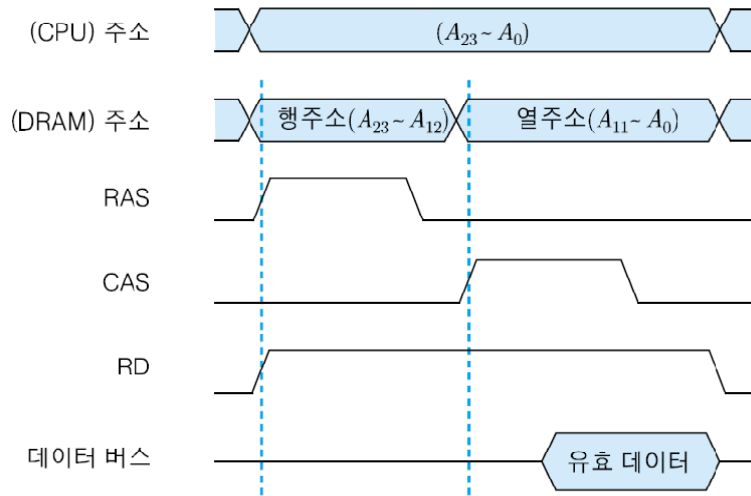
16M x 4 bit 64M DRAM의 내부 조직



16 Mbit DRAM 패키지의 입출력 핀구성

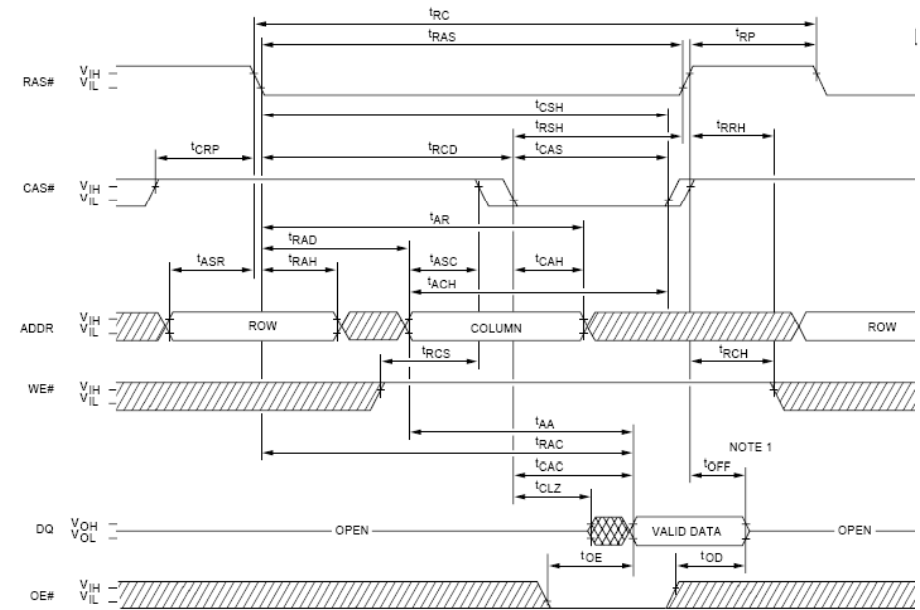


DRAM 읽기 동작의 타이밍도

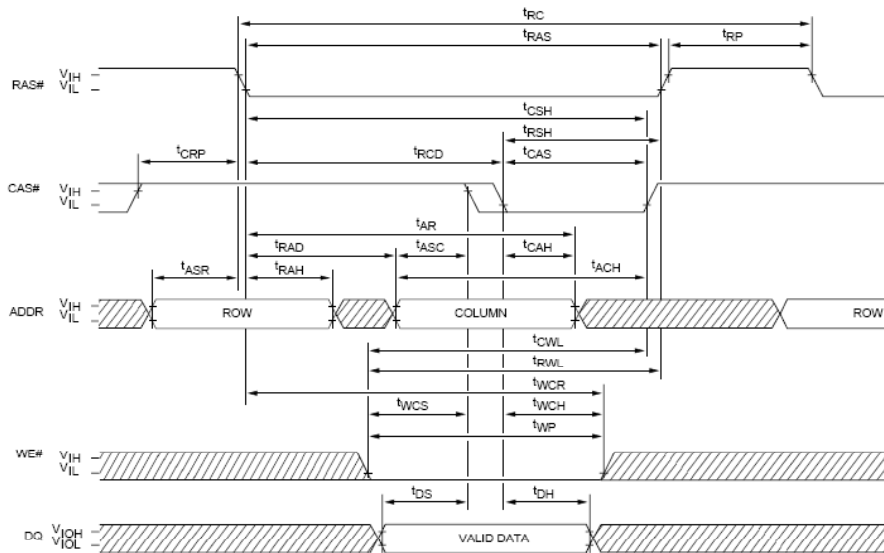


컴퓨터시스템(기억장치)

READ CYCLE



EARLY WRITE CYCLE



컴퓨터시스템(기억장치)

ROM(Read Only Memory)

- 읽기 전용 반도체 기억장치
- 다음 내용들의 저장에 사용
 - 시스템 초기화 및 진단 프로그램 (예: PC의 BIOS 프로그램)
 - 빈번히 사용되는 함수들을 위한 서브루틴들



컴퓨터시스템(기억장치)

ROM의 종류

- Mask ROM : 공장에서 출하 시에 내용이 정해져서 나옴
- PROM(Programmable ROM) : 사용자가 쓰는 것이 한 번만 가능한 ROM
- EPROM(Erasable Programmable ROM) : 자외선을 이용하여 내용을 지우는 것이 가능한 PROM. 여러 번 쓰기가 가능
- EEPROM(Electrically Erasable PROM) : 전기적으로 지울 수 있는 EPROM. 데이터 갱신 횟수 제한(수만 번 정도)
- 플래시 메모리(flash memory)
 - 블록(64 페이지) 단위로 삭제, 페이지 단위로 읽기/쓰기가 가능한 EEPROM
 - EEPROM에 비하여 삭제 시간이 더 빠르고(2ms), 집적 밀도도 더 높다

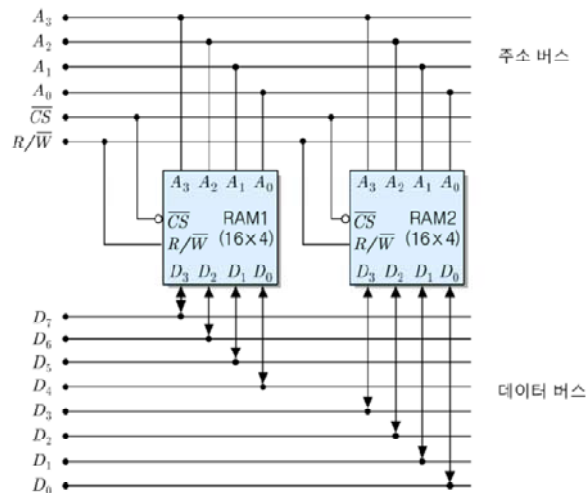
5.4 기억장치 모듈의 설계

- 기억장치 칩의 데이터 비트 수가 word 길이보다 짧은 경우
 - 여러 개의 칩들을 병렬로 접속한 기억장치 모듈로 구성
 - word의 길이 = N 비트, 기억장치 칩의 데이터 비트 수 = B 라면,
 - N/B 개의 칩들을 병렬접속

[예] N = 8일 때, 16×4비트 RAM 칩들을 이용한 기억장치 모듈의 설계

- 방법 : 2개의 RAM 칩들을 병렬 접속
- 모듈의 용량 : $(16 \times 4) \times 2 = 16 \times 8$ 비트 = 16 word
- 주소 비트(4개: $A_3 \sim A_0$) : 두 칩들에 공통으로 접속
- 칩 선택 신호(CS)를 두 칩들에 공통으로 접속
- 주소 영역 : 0000 ~ 1111₂

16×4 RAM들을 이용한 16×8 기억장치 모듈

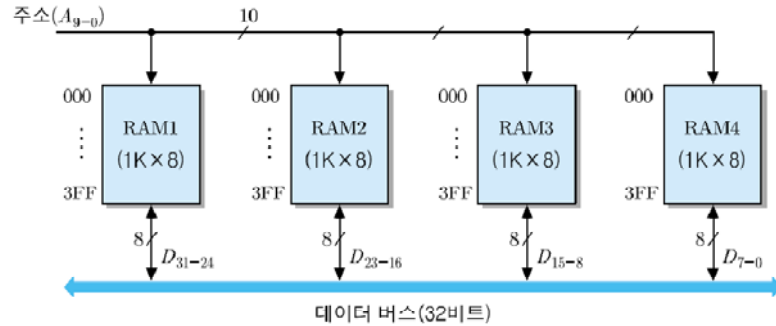


1K×8 RAM들을 이용한 1K×32 기억장치 모듈

[예] 1K×8비트 RAM 칩들을 이용한 1K×32비트 기억장치 모듈의 설계

- 방법 : 4 개의 RAM 칩들을 병렬 접속
- 모듈의 용량 : $(1K \times 8) \times 4 = 1K \times 32$ 비트 = 1Kword
- 주소 비트(10개: $A_9 \sim A_0$) : 모든 칩들에 공통으로 접속
- 주소 영역 : 000H ~ 3FFH (단, H는 16진수 표시)
- 데이터 저장 : 동일한 기억장치 주소에 대하여 칩 당 8 비트씩 분산 저장

1K×32 비트 기억장치 모듈



컴퓨터시스템(기억장치)

16×4 RAM들을 이용한 32×4 기억장치 모듈

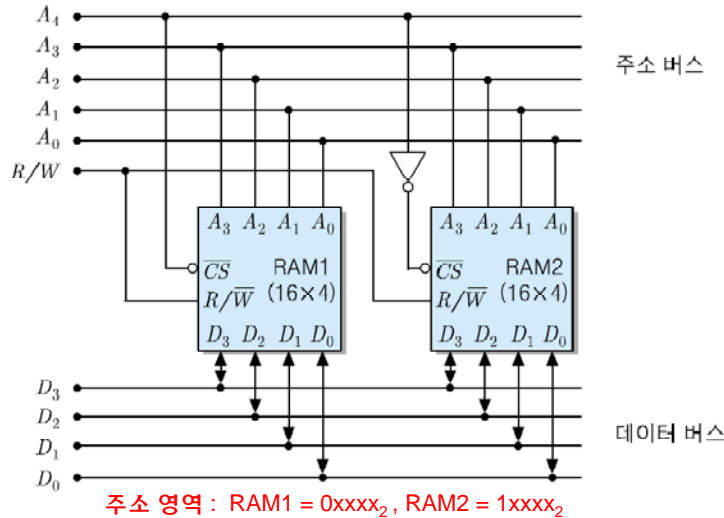
- 필요한 기억 장소의 수가 각 기억장치 칩의 기억 장소 수보다 많은 경우 → 여러 개의 칩들을 직렬로 접속하여 기억장치 모듈을 구성

[예] 16×4비트 RAM 칩들을 이용한 32×4비트 기억장치 모듈의 설계

- 방법 : 2개의 16 × 4 RAM 칩들을 직렬 접속
- 모듈의 용량 : 2개 × (16×4) = 32×4비트
- 주소 비트 수 : 5개 (A₄~A₀)
 - A₄ : 칩 선택 신호(CS)로 사용
 - A₃~A₀ : 두 칩들에 공통으로 접속
- 주소 영역
 - RAM1: 00000 ~ 01111₂
 - RAM2: 10000 ~ 11111₂

컴퓨터시스템(기억장치)

32×4비트 기억장치 모듈



컴퓨터시스템(기억장치)

1K×8 RAM들을 이용한 4K×8 기억장치 모듈

[예] 1K×8 비트 RAM 칩들을 이용한 4K×8 비트 기억장치 모듈

- 방법 : 4 개의 1K × 8 RAM 칩들을 직렬 접속
- 모듈의 용량 : (1K×8) × 4 개 = 4K×8 비트 = 4KByte
- 주소 비트(12개: A₁₁~A₀) 접속 방법
 - 상위 2 비트(A₁₁,A₁₀) : 주소 해독기를 이용하여 4개의 칩 선택 신호 발생
 - 하위 10 비트 (A₉~A₀) : 모든 칩들에 공통으로 접속
- 전체 주소 영역 : 000H ~ FFFH
- 데이터 버스 : 모든 기억장치 칩에 공통 접속 → 한 번에 8비트씩 액세스

컴퓨터시스템(기억장치)

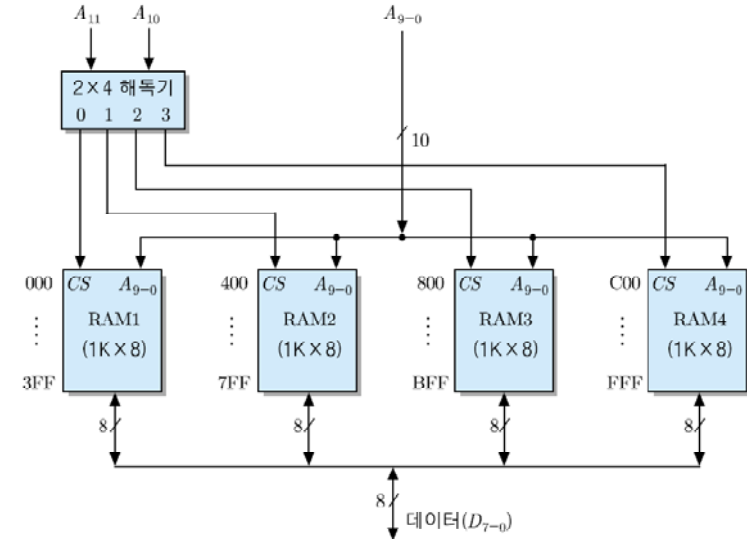
4K×8 기억장치 모듈의 주소 영역

■ 각 RAM에 지정되는 주소 영역

칩 번호	주소 영역										16진수 표기		
	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂		A ₁	A ₀
RAM 1	0	0	0	0	0	0	0	0	0	0	0	0	(000H) 번지부터 (3FFH) 번지까지
	0	0	1	1	1	1	1	1	1	1	1	1	
RAM 2	0	1	0	0	0	0	0	0	0	0	0	0	(400H) 번지부터 (7FFH) 번지까지
	0	1	1	1	1	1	1	1	1	1	1	1	
RAM 3	1	0	0	0	0	0	0	0	0	0	0	0	(800H) 번지부터 (BFFH) 번지까지
	1	0	1	1	1	1	1	1	1	1	1	1	
RAM 4	1	1	0	0	0	0	0	0	0	0	0	0	(C00H) 번지부터 (FFFH) 번지까지
	1	1	1	1	1	1	1	1	1	1	1	1	

컴퓨터시스템(기억장치)

4K×8비트 기억장치 모듈



컴퓨터시스템(기억장치)

기억장치 모듈의 설계 순서

■ 기억장치 모듈의 설계 순서

- 컴퓨터시스템에 필요한 기억장치 용량 결정
- 사용할 칩들을 결정하고, 주소 표(또는 address map)를 작성
- 세부 회로 설계

컴퓨터시스템(기억장치)

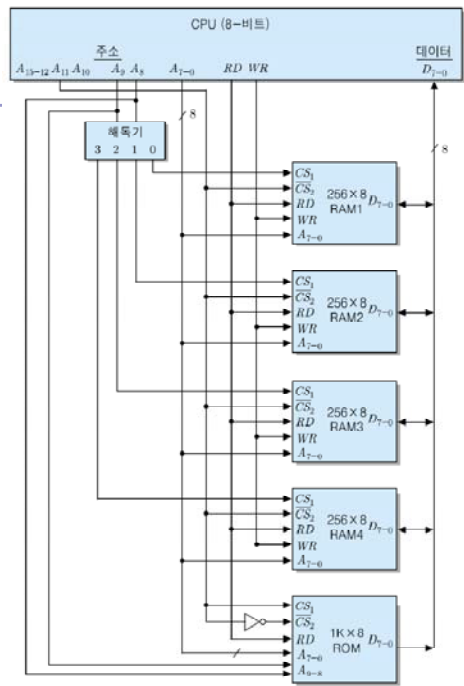
예: 8-비트 컴퓨터용 기억장치의 설계

■ [예] 8-비트 마이크로컴퓨터를 위한 기억장치의 설계

- 용량 : 1KB RAM, 1K ROM
- 주소 영역 : RAM = 0번지부터, ROM = 800H 번지부터
- 사용 가능한 칩들 : 256×8비트 RAM, 1K×8비트 ROM
(각 칩은 두 개의 칩선택신호 CS₁, CS₂를 가짐)
- 기억장치 주소 표 (memory address map)

기억장치 칩	주소 영역 (16진수)	주소 비트들											
		A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
RAM1	000H ~ 0FFH	0	0	0	0	x	x	x	x	x	x	x	x
RAM2	100H ~ 1FFH	0	0	0	1	x	x	x	x	x	x	x	x
RAM3	200H ~ 2FFH	0	0	1	0	x	x	x	x	x	x	x	x
RAM4	300H ~ 3FFH	0	0	1	1	x	x	x	x	x	x	x	x
ROM	800H ~ BFFH	1	0	x	x	x	x	x	x	x	x	x	x

컴퓨터시스템(기억장치)



컴퓨터시스템(기억장치)