

Chapter 1

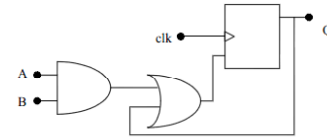
디지털 시스템 설계 방법

1

디지털 시스템 설계 방법

■ 디지털 시스템 설계 방법

- 전통적인 방법: **회로도**(schematic)
 - 표준 디지털 IC들을 사용한 설계에 주로 사용
 - 매우 큰 회로를 설계하기 어려움
- 현재의 방법: **HDL**(hardware description language)
 - VLSI 설계에 사용 – ASIC, FPGA
 - 매우 큰 회로의 설계를 가능하게 함



회로도

```
always @(posedge clk) begin
    Qn <= A & B | Qn
end
```

Verilog HDL



연세대학교

2

HDL을 사용한 설계

■ HDL을 사용한 설계

- 프로그래밍 언어처럼 추상화된 수준에서 하드웨어 설계
 - 하드웨어 설계 복잡도 감소
- 이식성(portable)
- 구현기술 독립성(technology independent)
 - 기술의 향상에 맞추어서 설계의 수정 및 재사용 용이
- 설계의 검사(test)와 합성(synthesize)을 분리하여 수행하거나 함께 수행할 수 있음

하드웨어 기술 언어(HDL)

■ Verilog, VHDL

- IEEE 표준으로 지정된 HDL
 - **Verilog** – Gateway Design Automation사가 개발
 - 1993년 IEEE-1364 표준 지정, 2001/05년 개정
 - **VHDL** (VHSIC HDL) – DARPA지원으로 개발
 - 1987년 IEEE-1076 표준 지정, 1993/2000/02/08년 개정
- 대규모 디지털 시스템의 설계에 적합
- 대부분의 ASIC 또는 FPGA 합성 도구에서 지원함

■ Spice:

- 아날로그 회로 설계, 파형(waveform) 시뮬레이션
- 대규모 시스템 설계에 부적합

■ System C:

- 시스템 레벨 설계용
- Verilog/VHDL보다 추상적 모델링
- C언어의 확장



연세대학교

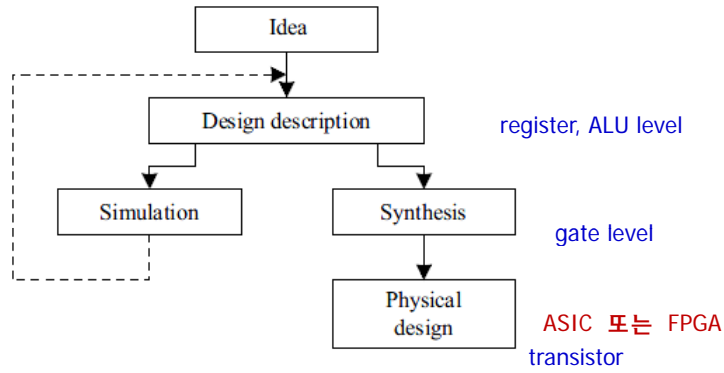
4



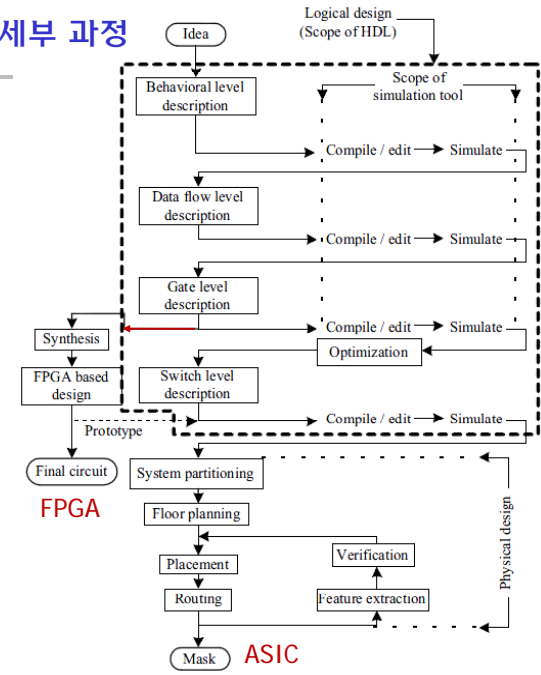
연세대학교

3

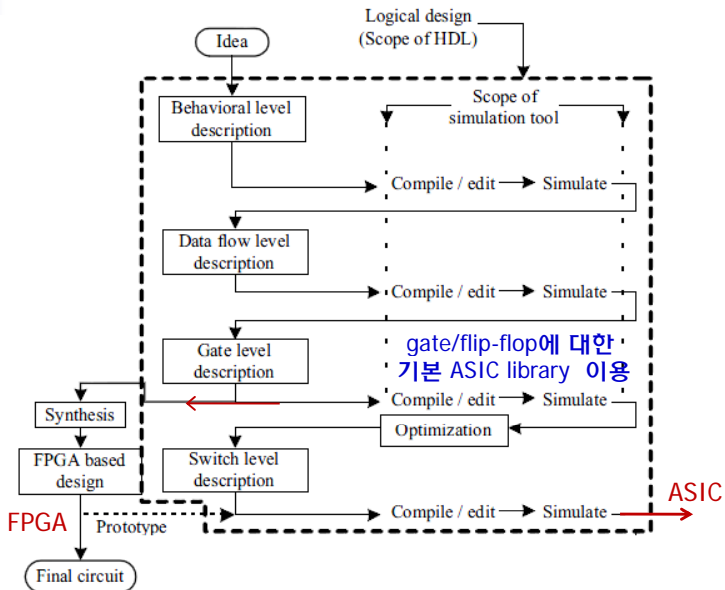
설계 과정



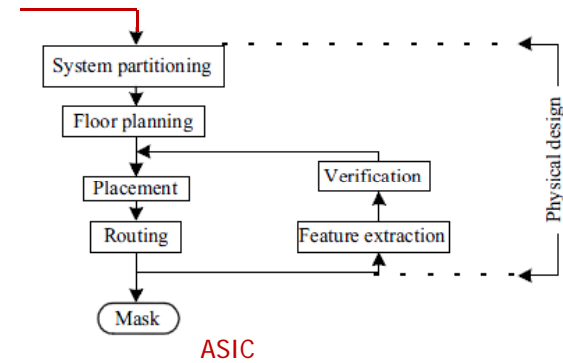
설계의 세부 과정



설계 세부 과정(2)



설계 세부 과정(3)



설계 기술(Design Description)

1. 설계 명세 작성(specification)

- 기능(functionality), 타이밍(timing), 전력소모, 칩 면적 등을 기술
- 기능은 다음 형태로 기술
 - 부울 함수, 진리표
 - 상태 전이 그래프
 - 타이밍 도
 - 알고리즘 상태도(ASM) } 순차회로

2. 설계 분할(partition)

- 큰 회로를 작은 기능 단위(functional unit)로 분할하고 작은 기능 단위를 설계
- 분할된 기능 단위를 사용하여 큰 회로를 설계
→ 하향식(top down) 설계



설계 기술(2)

3. 설계 입력(design entry)

- 현재는 대부분 HDL을 사용하여 설계를 기술함
- 기술 방법
 - 구조적(structural) 기술
 - 동작적(behavioral) 기술 ✓
- 동작적 기술의 장점
 - 빠른 설계가 가능 : 하드웨어의 상세한 설계를 할 필요가 없음
 - 기능 검증이 용이
 - 대부분의 합성 도구에 의해서 목표 대상(ASIC, FPGA)에 맞도록 합성 가능함
→ 논리 간소화, 설계 대상에 맞도록 최적화(optimization), 여러 가지의 설계 대안(alternatives) 사용 가능



설계 검증 및 합성

■ 설계 검증(design verification, simulation)

- testbench 작성:
 - 검사할 모듈에 대한 입력을 생성하고 출력을 확인함
- test 및 모델 검증
 - 문법 오류, 설계 오류 제거
 - (합성할 수 없는 부분 수정)

■ 논리 합성(logic synthesis)

- gate-level 합성: 논리 간소화, 최적화
- 합성 후 설계 및 타이밍 검증
- test 생성 및 fault 시뮬레이션
 - 설계 오류가 아닌 제조 공정 fault를 검사할 test 생성



물리적 설계

■ 시스템 분할(System partitioning)

- 설계를 여러 기능 블록으로 분할 (설계 초기에 수행될 수 있음)

■ 배치 계획 (floor planning)

- 분할된 기능 블록들을 배치

■ 배치 (placement)

- ASIC library의 component들을 배치

■ 배선 (routing)

- component들 간에 연결선 배선

■ Post Layout 검증

- physical/electrical 설계 규칙 확인, 오류 수정

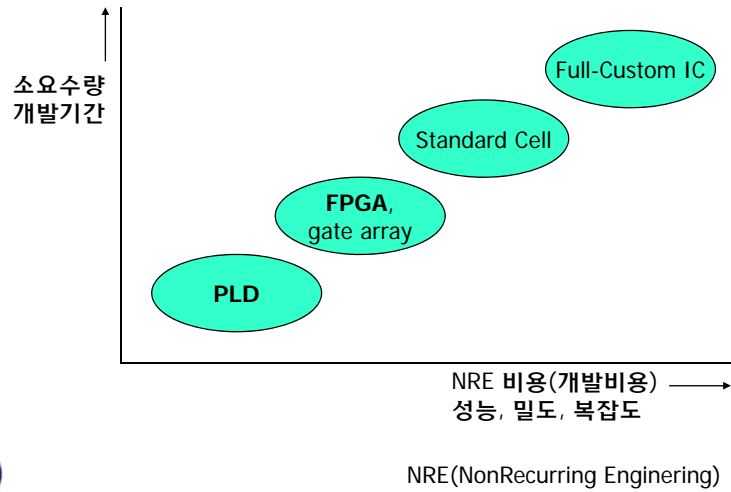
■ Mask 생성

■ ASIC 제조



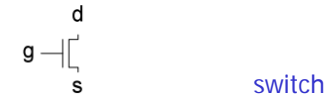
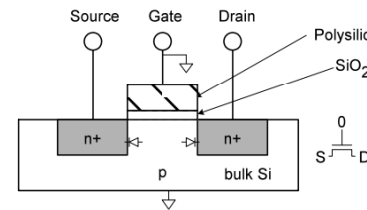
IC 기술

IC 구현의 여러 가지 방법

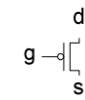
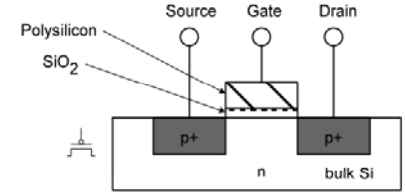


(참고)

NMOS transistor



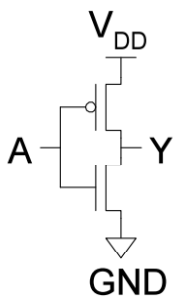
PMOS transistor



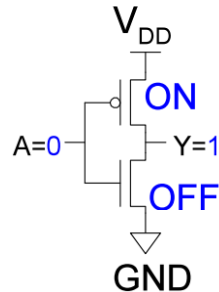
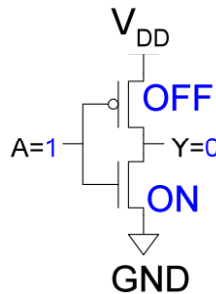
switch



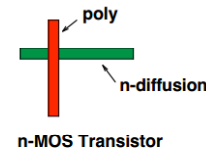
CMOS inverter



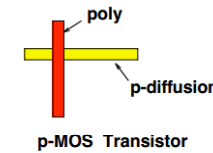
| A | Y |
|---|---|
| 0 | 1 |
| 1 | 0 |



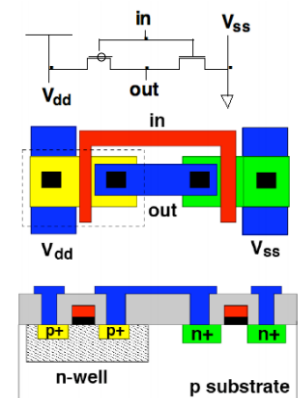
n-MOS Transistor



p-MOS Transistor



Inverter



Better Inverter Layout

