

# 임베디드하드웨어설계

## 실습 1 : Verilog의 구조적 모델링 논리 설계

---

### 목적

Verilog의 구조적인 모델링 방법을 사용하는 논리회로를 설계한 방법을 익히고 이를 간단한 회로의 설계에 적용하여 구조적 모델링 설계 방법을 습득함

### 실습 내용

#### 1. Verilogger 사용법

이번 실습은 Synaptic CAD의 Verilogger를 사용한다. 참고자료로 제공된 Tutorial 문서를 참고하여 Verilog 코드를 작성하여 컴파일하고 시뮬레이션 하는 방법을 알아보고, 사용법을 충분히 익힌다.

#### 2. 4비트 리플캐리 가산기 설계

- (1) 강의자료에서 소개한 구조적 모델링 방식으로 4비트 리플캐리 가산기를 설계하시오.
- (2) 파형편집기에서 직접 적절한 입력신호파형을 공급하여 가산기의 동작을 검증하시오.
- (3) 적절한 입력신호를 공급하는 Testbench 모듈을 작성하여 가산기의 동작을 검증하시오.

#### 3. 지연시간을 반영한 4비트 가산기 설계

- (1) 2에서 설계한 4비트 리플캐리 가산기 설계에서 반가산기의 XOR 게이트와 AND게이트에 각각 3과 2의 지연시간을 부여하도록 수정하시오.
- (2) 적절한 입력신호 파형을 공급하여 이 회로의 동작을 검증하고 입출력 간에 지연시간을 확인하시오.

#### 4. 비교기 설계

- (1) 1비트 비교기를 부울함수식을 사용하여 설계하시오.
- (2) 두 비교기의 출력을 결합하여 더 큰 비교기의 출력을 생성하는 회로를 부울함수식을 사용하여 설계하시오.
- (3) 4비트 비교기를 (1), (2)에서 설계한 모듈을 구조적 모델링으로 계층적으로 사용하여 설계하시오. 입력 신호들은 vector형 신호를 사용하시오.
- (4) 적절한 입력신호 파형을 공급하여 설계한 4비트 비교기의 동작을 검증하시오.