

임베디드하드웨어설계

실습 1 : Verilog의 구조적 모델링 논리 설계

목적

Verilog의 구조적인 모델링 방법을 사용하는 논리회로를 설계한 방법을 익히고 이를 간단한 회로의 설계에 적용하여 구조적 모델링 설계 방법을 습득함

실습 내용

1. Verilogger 사용법

이번 실습은 Synaptic CAD의 Verilogger를 사용한다. 참고자료로 제공된 Tutorial 문서를 참고하여 Verilog 코드를 작성하여 컴파일하고 시뮬레이션 하는 방법을 알아보고, 사용법을 충분히 익힌다.

2. 전가산기 설계

- (1) 강의자료에서 소개한 전가산기 설계를 하시오.
- (2) 3개의 2진수에 대한 모든 값을 Gray code 순서로 나열하시오.
- (3) 파형편집기에서 전가산기의 3개의 입력을 Gray code 순서로 공급하여 전가산기의 동작을 공급하시오.

3. 4비트 리플캐리 가산기 설계

- (1) 강의자료에서 소개한 구조적 모델링 방식으로 4비트 리플캐리 가산기를 설계하시오.
- (2) 파형편집기에서 Vector 신호의 입력을 어떻게 공급하는 지 확인하여 적절한 입력신호파형을 공급하여 가산기의 동작을 검증하시오.