

임베디드하드웨어설계

실습 2: Verilog의 구조적/dataflow 모델링 논리 설계

실습 내용

1. 지연시간을 반영한 4비트 가산기 설계

- (1) 실습 1의 3번에서 설계한 4비트 리플캐리 가산기 설계에서 반가산기의 XOR 게이트와 AND게이트에 각각 3과 2의 지연시간을 부여하도록 수정하시오.
- (2) 적절한 입력신호 파형을 공급하여 이 회로의 동작을 검증하고 입출력 간에 지연시간을 확인하시오.

2. Testbench를 사용한 시뮬레이션

- (1) 1번에서 설계한 4비트 가산기의 동작을 검증하기 위한 testbench 모듈을 설계하여 적절한 값의 입력 신호를 공급하고 동작을 검증하시오. (4비트 입력 신호 제공을 위해서 reg형 vector 자료를 선언하고 0부터 15까지의 값을 공급할 수 있다.)

3. 비교기 설계

- (1) 1비트 비교기(comparator1)를 부울함수식을 사용하여 설계하시오.
- (2) 두 비교기의 출력을 결합하여 더 큰 비교기의 출력을 생성하는 회로(combine)를 부울함수식을 사용하여 설계하시오.
- (3) 4비트 비교기를 (1), (2)에서 설계한 모듈을 구조적 모델링으로 계층적으로 사용하여 설계하시오. 입력 신호들은 vector형 신호를 사용하시오.
- (4) 적절한 입력신호 파형을 공급하여 설계한 4비트 비교기의 동작을 검증하시오.