

임베디드하드웨어설계

실습 3: Verilog의 dataflow 모델링 논리 설계

실습 내용

1. 4비트 2×1 멀티플렉서 (mux2)

- (1) 4비트 2×1 멀티플렉서를 부울함수식을 사용하여 설계하고 동작을 검증하시오.
(4개의 부울함수식을 사용해야 함)
- (2) 4비트 2×1 멀티플렉서를 조건연산자를 사용하여 설계하고 동작을 검증하시오.
- (3) (1), (2) 두 설계의 차이점에 대해서 논의해보시오.
- (4) (2)에서 설계한 멀티플렉서를 parameter를 사용하여 멀티플렉서의 데이터 비트수를 지정하여 다른 비트 수에 대해서 재사용될 수 있도록 설계하시오. 비트 수는 기본적으로 4로 지정하시오.

2. 4×1 멀티플렉서의 설계 (mux4)

- (1) 1비트 4×1 멀티플렉서의 동작을 설명해보시오. (선택신호가 2비트임)
- (2) 1비트 4×1 멀티플렉서를 부울함수식을 사용하여 설계하고 검증하시오.
- (3) 1비트 4x1 멀티플렉서를 1번(4)에서 설계한 2×1 멀티플렉서 모듈을 3개를 사용하여 구조적 모델링 방법으로 설계하고 동작을 검증하시오.

3. 고급 연산자를 사용한 비교기 설계 (cmp)

- (1) lt, gt, eq의 세 출력을 제공하는 2비트 비교기를 부울함수가 아닌 비교 연산자를 사용하여 설계하고 동작을 검증하시오.

4. D래치 - dataflow model 설계

- (1) D래치의 블록도를 그리고 회로의 동작을 설명하시오.
- (2) D래치를 조건연산자를 사용하여 설계하고 입력을 적절한 순서로 변화하도록 공급하여 D래치의 동작을 검증하시오.
- (3) D래치의 설계를 참고하여 기억하는 회로의 원리를 설명하시오.