

# 임베디드하드웨어설계

## 실습 4 : Verilog의 동작적 모델링 논리 설계

### 실습 내용

#### 1 플립플롭

- (1) 동기 reset 제어입력이 있는 **positive edge triggered D 플립플롭**을 always 문을 사용하여 설계하고 적절한 입력을 제공하여 동작을 검증하시오. (reset이 0일 때에 클럭의 postive edge에서 출력이 0이 된다.)
- (2) 비동기 reset 제어입력이 있는 **positive edge triggered D 플립플롭**을 설계하고 동작을 검증하시오. (reset이 0일 때에 즉시 출력이 0이 된다.)
- (3) 위의 두 가지 D 플립플롭의 동작을 비교하고 설계할 때에 차이점을 적으시오.

#### 2. D래치 - behavioral model 설계

- (1) 1번에서 **D래치**를 always문을 사용한 동작적 모델링 방법으로 다시 설계하고 적절한 입력을 제공하여 동작을 검증하시오.
- (2) reset 제어입력(reset이 0일 때에 reset 동작 수행)이 있는 **D래치**를 (1)번 설계를 수정하여 설계하고 적절한 입력을 제공하여 동작을 검증하시오.

#### 3. shift register

- (1) blocking 할당문과 nonblocking 할당문의 동작을 비교하여 설명하시오.
- (2) 4비트 shift register를 nonblocking 할당문을 사용하여 설계하고 동작을 검증하시오.
- (3) 앞의 shift register를 blocking 할당문을 사용하여 설계할 때에는 어떻게 설계해야 제대로 동작하는 지를 말하시오.

#### 4. multiplexer와 shift register의 결합 회로

- (1) 아래 그림과 같은 회로를 설계하고 동작을 검증하시오. (멀티플렉서의 A, B, C 입력은 shift register의 각 출력이 피드백 되어 사용된 것을 의미한다.). 이 회로에서 in, CLK, sel을 입력으로, A, B, C는 출력으로 사용하고, 멀티플렉서는 case문으로 설계하시오.
- (2) 이 회로를 blocking 할당문을 사용하여 설계할 수 있겠는가? 가능하다면 설계를 하고, 불가능하다면 그 이유는 무엇인가?

