

# 임베디드하드웨어설계

## 실습 5 : 조합 회로 설계

---

### 목적

여러 가지 조합회로를 verilog의 다양한 여러 구문을 사용하여 설계한다.

### 실습 내용

#### 1. Quartus II 사용법

- (1) Quartus II를 사용한 컴파일(합성), 시뮬레이션 방법, FPGA 디바이스를 프로그래밍 하는 방법을 알아보고 다음의 실습 문제에 대한 회로들을 Quartus II 를 사용하여 설계한 후 FPGA로 구현하도록 한다.

#### 2. priority encoder

- (1) 4×2 우선순위인코더의 입출력 신호를 나타낸 블록도를 그리고 동작을 설명하시오.
- (2) if 문을 사용하여 우선순위인코더를 설계하고 시뮬레이션을 수행하시오.
- (3) 위의 설계를 FPGA로 구현하여 동작을 확인하시오.
- (4) casex 문을 사용하여 우선순위인코더를 설계하고 동작을 확인하시오. 그리고 casex문 대신에 case문을 사용하면 어떤 문제가 발생하는 지 말해보시오.

#### 3. 7-segment LED 디코더 구현

- (1) 7-segment LED 디코더의 동작을 설명하시오.
- (2) 16진수 1자리 수(0-9, a-f)를 표시할 수 있는 7-segment LED 디코더를 설계하고(입력은 4개의 toggle switch에, 출력은 7-segment LED에 연결함) FPGA로 구현하여 동작을 확인하시오.

#### 4. majority circuit

- (1) 3입력 majority circuit을 직접 설계하고 시뮬레이션으로 동작을 확인하시오.
- (2) 4입력 majority circuit을 직접 설계하고 시뮬레이션으로 동작을 확인하시오.
- (3) 입력 개수(size)와 과반수(majority)를 parameter로 지정하여 입력 개수를 일반화한 majority circuit을 반복문을 사용하여 설계하고 동작을 확인하시오. (parameter의 기본값은 임의로 지정하시오.)
- (4) (3)에서 값이 1인 입력의 개수를 세는 동작을 function으로 작성하여 재설계하시오.
- (5) (3)에서 값이 1인 입력의 개수를 세는 동작을 task로 작성하여 재설계하시오.