

실습 6 : 조합/순차회로 설계 및 구현

목적

Verilog를 사용하여 다양한 조합/순차 회로를 설계하고 FPGA로 구현하여 동작시킨다.

실습 내용

1. 레지스터 구현

- (1) 제어신호 sel의 값에 따라서 다음 표와 같이 동작하는 4비트 register를 설계하시고, 시뮬레이션으로 동작을 검증하십시오.
- (2) 모든 입력(CLK, 4비트 data 입력, 2비트 제어신호 sel)을 bus 스위치에 연결하고, 출력을 4개의 red LED에 연결하여 FPGA로 구현하십시오.

sel[1:0]	동작
00	불변
01	rotate right
10	rotate left
11	load (q <= data)

- (3) 레지스터에 2진수 1000을 저장한 다음에, sel의 각 값에 따른 회로의 동작을 확인하십시오. 클럭신호는 CLK에 연결한 스위치 신호의 상태를 변화시키면서 제공한다. 클럭이 어떻게 변화할 때에 출력이 변하는지도 확인해보시오.

2. 4비트 카운터 구현

- (1) 비동기 reset 제어입력과 tc 출력을 포함하는 4비트 카운터를 설계하고 시뮬레이션으로 동작을 검증하십시오.
- (2) 4비트 카운터 출력을 실습5에서 설계한 7-segment LED의 입력에 연결하여 출력을 7-segment LED로 볼 수 있도록 두 모듈을 연결한 top 모듈을 설계하십시오. CLK, reset 제어입력을 push button에, enable 입력을 bus스위치에 연결하고, 출력을 7-segment LED로 연결하여 FPGA로 구현하십시오.
- (3) 회로의 동작을 확인하십시오.