

실습 7 : 순차회로 설계 및 구현

목적

Verilog를 사용하여 다양한 순차 회로를 설계하고 FPGA로 구현하여 동작시킨다.

실습 내용

1. 클럭 주파수 분주기 설계

- (1) 0부터 24,999,999까지 계수하는 modulo-25,000,000 동기식 카운터를 설계하시오. (이 카운터는 매 클럭마다 카운트 동작을 수행하며, 카운터가 24,999,999일 때 TC(terminal count) 출력이 1이 된다.)
- (2) 실습키트에서 제공하는 50MHz 클럭을 (1)번에서 설계한 카운터의 클럭으로 사용하고, 회로를 추가하여 1Hz 클럭 신호를 발생시키는 회로를 설계하시오. (TC가 1이 될 때마다 출력을 반전시킨다.)
- (3) 1 Hz 클럭 신호를 LED에 연결하고 구현하고 LED가 1초마다 깜박이는 지 확인하시오.

2. 1 Hz 클럭을 사용한 동기식 카운터 구현

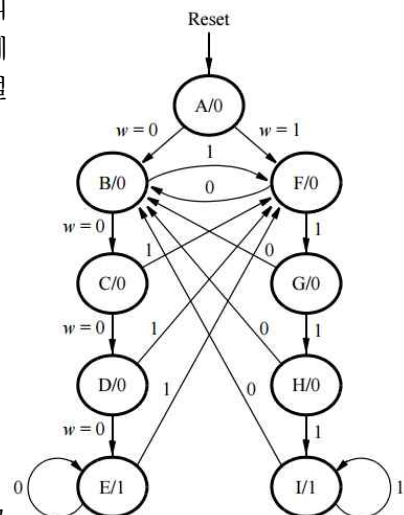
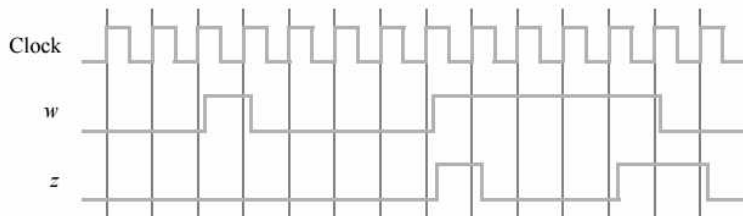
- (1) 실습 6에서 설계한 4비트 동기식 카운터와 7 segment LED 결합회로의 클럭으로 1번에서 만든 1 Hz 신호를 사용하여 설계하시오.
- (2) 설계한 회로를 실습키트에서 구현하여 카운터의 각 제어신호의 상태 변화에 따른 회로의 동작을 확인하시오.

3. 초 단위 시계 설계

- (1) 0부터 N-1까지 계수하는 mod-N 카운터를 설계하시오. (N과 카운터 비트수 M은 parameter로 지정하여 재사용시에 변경가능하도록 하시오.)
- (2) (1)에서 설계한 카운터를 사용하여 mod-10 카운터(1초 단위)와 mod-6 카운터(10초 단위)를 구성하고, 이들을 연결하고 1Hz신호를 클럭으로 사용하여 초 단위 시계를 설계하고 구현하시오. 출력은 두 개의 7-segment LED를 사용하여 하시오.

4. 상태도 순차회로 설계

- (1) 입력 w가 4 클럭 동안 연속적으로 0이 공급되거나 연속적으로 1이 공급되면 출력 z를 1로 만드는 회로를 설계하고자 한다. 아래 그림은 이 회로의 동작을 나타내는 타이밍도이고 오른쪽 그림은 이 회로에 대한 상태도이다. 이 상태도를 분석하여 동작이 옳은지 설명하시오.



- (2) 각 상태를 적절하게 인코딩하고, 상태도에 대한 순차회로를 설계하고, 시뮬레이션으로 동작을 확인하시오.
- (3) 클럭을 버튼에, 입력을 sw0에, 출력을 LEDR0에 연결하여 실습키트에 구현하여 동작을 확인하시오.